

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11067753 A**

(43) Date of publication of application: **09.03.99**

(51) Int. Cl. **H01L 21/316**
H01L 21/265
H01L 21/76

(21) Application number: **09215221**

(22) Date of filing: **08.08.97**

(71) Applicant: **TOSHIBA MICROELECTRON
CORP TOSHIBA CORP**

(72) Inventor: **KAWAII NAOTO
SASAKI MASAHIRO
NARUGE KIYOMI**

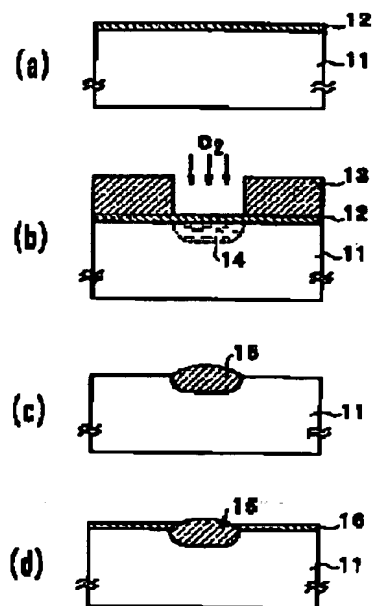
(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a process for manufacturing a semiconductor device, which can both miniaturize a device isolation region and simplify the miniaturization step.

SOLUTION: This process comprises the steps of forming a mask member 13 from which a device isolation region is removed on the surface of a semiconductor substrate 11, forming an oxygen ion-implanted layer 14 by implanting oxygen ions into the surface portion of the device isolation region of the substrate 11 using the member 13, removing the member 13, and forming a silicon oxide film 15 on the device isolation region by oxidizing the layer 14, while effecting heat treatment in an inert gas atmosphere.

COPYRIGHT: (C)1999,JPO



*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The process which forms the mask material from which the part of a component isolation region was removed on the front face of a semi-conductor substrate, The process which injects oxygen ion into the surface part of the component isolation region of said semi-conductor substrate, and forms an oxygen ion-implantation layer using said mask material, The manufacture approach of the semiconductor device characterized by having the process which removes said mask material, and the process which it heat-treats in an inert gas ambient atmosphere, and said oxygen ion-implantation layer is oxidized, and forms silicon oxide in a component isolation region.

[Claim 2] The process which forms the insulator layer which has the oxidation resistance from which the part of a component isolation region was removed on the front face of a semi-conductor substrate, The process which injects oxygen ion into the surface part of the component isolation region of said semi-conductor substrate by using said insulator layer as a mask, and forms an oxygen ion-implantation layer, The manufacture approach of the semiconductor device characterized by having the process which it heat-treats in an inert gas ambient atmosphere, and said oxygen ion-implantation layer is oxidized, and forms silicon oxide in a component isolation region, and the process which removes said insulator layer by using said insulator layer as a mask.

[Claim 3] The process which forms the mask material from which the part of a component isolation region was removed on the front face of a semi-conductor substrate, The process which injects into the surface part of the component isolation region of said semi-conductor substrate the element in which amorphous-izing is possible, and forms an amorphous layer using said mask material, The manufacture approach of the semiconductor device characterized by having the process which removes said mask material, and the process which thermal oxidation processing is performed in an oxygen ambient atmosphere, and said amorphous layer is oxidized, and forms the 1st silicon oxide in a component isolation region.

[Claim 4] The process which forms the insulator layer which has the oxidation resistance from which the part of a component isolation region was removed on the front face of a semi-conductor substrate, The process which injects into the surface part of the component isolation region of said semi-conductor substrate the element in which amorphous-izing is possible by using said insulator layer as a mask, and forms an amorphous layer, The manufacture approach of the semiconductor device characterized by having the process which thermal oxidation processing is performed in an oxygen ambient atmosphere, and said amorphous layer is oxidized, and forms silicon oxide in a component isolation region, and the process which removes said insulator layer by using said insulator layer as a mask.

[Claim 5] The process which forms the mask material from which the part of a component isolation region was removed on the front face of a semi-conductor substrate, The process which forms a slot in the surface part of the component isolation region of said semi-conductor substrate using said mask material, The process which injects oxygen ion into the surface part of said slot, and forms an oxygen ion-implantation layer using said mask material, The manufacture approach of the semiconductor device characterized by having the process which removes said mask material, and the process which it heat-treats in an inert gas ambient atmosphere, and said oxygen ion-implantation layer is oxidized, and forms silicon oxide in a component isolation region.

[Claim 6] The process which forms the insulator layer which has the oxidation resistance from which the part of a component isolation region was removed on the front face of a semi-conductor substrate, The process which forms a slot in the surface part of the component isolation region of said semi-conductor substrate by

using said insulator layer as a mask, The process which injects oxygen ion into the surface part of the component isolation region of said semi-conductor substrate by using said insulator layer as a mask, and forms an oxygen ion-implantation layer, The manufacture approach of the semiconductor device characterized by having the process which it heat-treats in an inert gas ambient atmosphere, and said oxygen ion-implantation layer is oxidized, and forms silicon oxide in a component isolation region, and the process which removes said insulator layer by using said insulator layer as a mask.

[Claim 7] The process which forms the mask material from which the part of a component isolation region was removed on the front face of a semi-conductor substrate, The process which forms a slot in the surface part of the component isolation region of said semi-conductor substrate using said mask material, The process which injects into the surface part of the component isolation region of said semi-conductor substrate the element in which amorphous-izing is possible, and forms an amorphous layer using said mask material, The manufacture approach of the semiconductor device characterized by having the process which removes said mask material, and the process which thermal oxidation processing is performed in an oxygen ambient atmosphere, and said amorphous layer is oxidized, and forms the 1st silicon oxide in a component isolation region.

[Claim 8] The process which forms the insulator layer which has the oxidation resistance from which the part of a component isolation region was removed on the front face of a semi-conductor substrate, The process which forms a slot in the surface part of the component isolation region of said semi-conductor substrate by using said insulator layer as a mask, The process which injects into the surface part of the component isolation region of said semi-conductor substrate the element in which amorphous-izing is possible by using said insulator layer as a mask, and forms an amorphous layer, The manufacture approach of the semiconductor device characterized by having the process which thermal oxidation processing is performed in an oxygen ambient atmosphere, and said amorphous layer is oxidized, and forms silicon oxide in a component isolation region, and the process which removes said insulator layer by using said insulator layer as a mask.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] Especially this invention relates to the approach for performing isolation about the manufacture approach of a semiconductor device.

[0002]

[Description of the Prior Art] the isolation in a semiconductor device -- general -- LOCOS (Local Oxidization of Silicon) -- the approach called law and STI (Shallow Trench Isolation) -- law is used.

[0003] The LOCOS method performs isolation according to a process as shown in drawing 9. silicon oxide 102 according to the oxidizing [thermally] method to the front-face top of the semi-conductor substrate 101 as shown in drawing 9 (a), and CVD (Chemical Vapor Deposition) -- the silicon nitride 103 by law is formed. A photoresist is applied on the front face of the silicon nitride 103, and the resist film 104 from which the part of the component isolation region 105 was removed is formed.

[0004] It etches into the silicon nitride 103 by using the resist film 104 as a mask like drawing 9 (b), and the part of the component isolation region 105 is removed. It heat-treats in an oxidizing atmosphere and field oxide 106 is formed in the component isolation region 105 like drawing 9 (c).

[0005] Then, the silicon nitride 103 and silicon oxide 102 are removed, and silicon oxide 107 is formed in a component field by the oxidizing [thermally] method.

[0006] Moreover, the STI method performs isolation in a procedure as shown in drawing 10. As shown in drawing 10 (a), silicon oxide 102 is formed by the oxidizing [thermally] method on the front face of the semi-conductor substrate 101, and the polycrystalline silicon film 103 and the silicon nitride 104 are further formed with a CVD method. On the silicon nitride 104, the resist film 106 from which the part which punctures a trench slot was removed is formed.

[0007] Like drawing 10 (b), by using the resist film 106 as a mask, the silicon nitride 104 is etched, and patterning is carried out so that the part which forms a trench slot may be removed. Then, the resist film 106 is exfoliated.

[0008] As shown in drawing 10 (c), it etches into the polycrystalline silicon film 103, silicon oxide 102, and the semi-conductor substrate 101 by using the silicon nitride 104 as a mask, and the trench slot 109 is formed.

[0009] Like drawing 10 (d), post-oxidation is performed, silicon oxide 107 is formed on a front face, and silicon oxide 108 is further deposited with a TEOS-ozone CVD method. Like drawing 10 (e), CMP (Chemical Mechanical Polishing) is performed and etchback of the silicon oxide 108 is carried out. Furthermore, flattening of the CMP is performed and carried out to silicon oxide 108 like drawing 10 (f).

[0010] Like drawing 10 (g), it etches into the silicon nitride 104, and removes, and the component isolation construction which embedded the trench slot 109 by silicon oxide 108 is acquired.

[0011]

[Problem(s) to be Solved by the Invention] However, there were the following problems in the conventional component separation method. When the LOCOS method is used, as shown in drawing 9 (c) and (d), BAZU beak 106a is formed in the perimeter of field oxide 106. For this reason, dimension control and detailed-izing of the component isolation region 105 were difficult.

[0012] the case where the STI method is used -- LOCOS, as compared with law, it excels in respect of dimension control and detailed-izing. However, as explained using drawing 10 (a) - (g), there was a problem that there were many routing counters and production time and cost increased.

[0013] This invention was made in view of the above-mentioned situation, and aims at offering the

manufacture approach of a semiconductor device that both detailed-izing of a component isolation region and simplification of a process are realizable.

[0014]

[Means for Solving the Problem] The process at which the manufacture approach of the semiconductor device of this invention forms the mask material from which the part of a component isolation region was removed on the front face of a semi-conductor substrate, The process which injects oxygen ion into the surface part of the component isolation region of said semi-conductor substrate, and forms an oxygen ion-implantation layer using said mask material, It is characterized by having the process which removes said mask material, and the process which it heat-treats in an inert gas ambient atmosphere, and said oxygen ion-implantation layer is oxidized, and forms silicon oxide in a component isolation region.

[0015] Moreover, the manufacture approach of this invention injects oxygen ion into the surface part of the component isolation region of a semi-conductor substrate using the insulator layer which has oxidation resistance as mask material, and is equipped with the process which forms an oxygen ion-implantation layer, the process which it heat-treats in an inert gas ambient atmosphere by using said insulator layer as a mask, and said oxygen ion-implantation layer is oxidized, and forms silicon oxide in a component isolation region, and the process which removes said insulator layer.

[0016] Using the mask material from which the part of a component isolation region was removed, the manufacture approach of this invention injects into the surface part of the component isolation region of said semi-conductor substrate the element in which amorphous-izing is possible, and is equipped with the process which forms an amorphous layer, the process which removes said mask material, and the process which thermal oxidation processing is performed in an oxygen ambient atmosphere, and said amorphous layer is oxidized, and forms the 1st silicon oxide in a component isolation region.

[0017] Or the process at which the manufacture approach of this invention forms the insulator layer which has the oxidation resistance from which the part of a component isolation region was removed on the front face of a semi-conductor substrate, The process which injects into the surface part of the component isolation region of said semi-conductor substrate the element in which amorphous-izing is possible by using said insulator layer as a mask, and forms an amorphous layer, By using said insulator layer as a mask, thermal oxidation processing is performed in an oxygen ambient atmosphere, said amorphous layer is oxidized, and it has the process which forms silicon oxide in a component isolation region, and the process which removes said insulator layer.

[0018] Moreover, the manufacture approach of this invention forms a slot in the surface part of the component isolation region of said semi-conductor substrate, injects oxygen ion into the surface part of this slot, forms an oxygen ion-implantation layer, or pours in the element in which amorphous-izing is possible, forms an amorphous layer, oxidizes into this part and forms silicon oxide.

[0019]

[Embodiment of the Invention] Hereafter, the gestalt of 1 operation of this invention is explained with reference to a drawing.

[0020] The manufacture approach of the semiconductor device by the gestalt of operation of the 1st of this invention performs isolation through a process as shown in drawing 1 . Like drawing 1 (a), about 1000A silicon oxide 12 is formed by about 900 Centigrade by the oxidizing [thermally] method on the front face of the semi-conductor substrate 11.

[0021] Like drawing 1 (b), a resist is applied on silicon oxide 12 and the resist film 13 from which the part of a component isolation region was removed is formed. The ion implantation of the oxygen is carried out by using this resist film 13 as a mask, and the high concentration oxygen ion-implantation layer 14 is formed. Twice [about] as many oxygen as the atomic number of the silicon contained in a semi-conductor substrate is poured in, and the injection rate of this oxygen needs to be controlled so that silicon oxide (Si O₂) may be formed. For example, the concentration of the oxygen of the impregnation layer 14 after impregnation is 3 10²³ pieces/cm. The injection rate of oxygen is set up so that it may become. Acceleration voltage is set to 100keV(s) so that the depth of the high concentration oxygen ion-implantation layer 14 may be set to 0.2 micrometers.

[0022] Next, the resist film 13 is removed and oxidation treatment is performed to the high concentration oxygen ion-implantation layer 14. Specifically, annealing treatment is performed by about 950 – 1000 Centigrade in an inert gas ambient atmosphere. The oxygen ion contained in the high concentration oxygen ion-implantation layer 14 combines with the silicon in a substrate by this, and silicon oxide 15 is formed like

drawing 1 (c). Then, wet etching is performed and silicon oxide 12 is removed. Like drawing 1 (d), silicon oxide 16 is formed by the oxidizing [thermally] method on the front face of a component field. This silicon oxide 16 turns into gate oxide when forming a transistor at subsequent processes.

[0023] Since [being such] according to the gestalt of the 1st operation oxygen ion is poured into a component isolation region and the high concentration oxygen ion-implantation layer 14 is formed in it, even if it is not an oxidizing atmosphere, silicon oxide 15 can be formed by the annealing treatment in an inert gas ambient atmosphere. Thereby, when oxidizing in the high concentration oxygen ion-implantation layer 14, since it is not among an oxidizing atmosphere, it is prevented that a BAZU beak is formed in the perimeter of silicon oxide 15. Therefore, it is highly precise, the dimension of the longitudinal direction of silicon oxide 15 can be controlled, and detailed-ization is attained. Moreover, since there are few routing counters than the describing [above] STI method, simplification of a process is possible.

[0024] The manufacture approach by the gestalt of operation of the 2nd of this invention is described using drawing 2 : The gestalt of this operation is different from the gestalt of implementation of the above 1st in that oxidation treatment is performed using a silicon nitride. Like drawing 2 (a), silicon oxide 22 is formed by the oxidizing [thermally] method on the front face of the semi-conductor substrate 21, and the about 1000-2000Å silicon nitride 23 is further formed with a CVD method on the front face. A resist is applied on the silicon nitride 23 and the resist film 24 from which the part of a component isolation region was removed is formed. It etches into the silicon nitride 23 by using this resist film 24 as a mask.

[0025] Oxygen ion is poured into a component isolation region by using the silicon nitride 23 as a mask like drawing 2 (c), and the high concentration oxygen ion-implantation layer 25 is formed. Oxidation treatment is performed in an oxidizing atmosphere by using the silicon nitride 23 as an anti-oxidation mask. Then, the silicon nitride 23 and silicon oxide 22 on a component field are removed like drawing 2 (d). Like drawing 2 (e), silicon oxide 27 is formed on a component field by the oxidizing [thermally] method.

[0026] Since oxidation treatment is performed by using the silicon nitride 23 as a mask according to the gestalt of the 2nd operation, thickness of a mask can be made thin, an aspect ratio can be made small, and detailed-izing is possible.

[0027] The gestalt of operation of the 3rd of this invention is explained using drawing 3 . With the gestalt of this operation, an amorphous substance is formed in a component isolation region instead of a high concentration oxygen ion-implantation layer, and the description is in the point of performing thermal oxidation processing. Like drawing 3 (a), the oxidizing [thermally] method is used for the semi-conductor substrate 31, silicon oxide 32 is formed, and the resist film 33 from which the part of a component isolation region was removed like drawing 3 (b) on the front face is formed. Oxygen ion or an argon is poured in by using this resist film 33 as a mask, and the amorphous layer 34 is formed. Since it does not pour in in order unlike the gestalt of the above 1st and the 2nd implementation to combine the silicon and oxygen in a substrate and to form silicon oxide when pouring in oxygen ion, it is good by the concentration of extent required in order to form the amorphous layer 34. Therefore, since there are few injection rates of ion and they can be managed with the gestalt of this operation, impregnation time amount is shortened and a throughput improves.

[0028] The resist film 33 is removed and thermal oxidation processing is performed. Since association of silicon has run out, the amorphous layer 34 oxidizes easily, and silicon oxide 35 is formed. Silicon oxide 35 is thickly formed in a component isolation region like drawing 3 (c) by this, and thin silicon oxide 36 is formed in other component fields. Then, the silicon oxide 36 on a component field is exfoliated by wet etching like drawing 3 (d). Like drawing 3 (e), thermal oxidation processing is performed and silicon oxide 37 is formed on a component field.

[0029] According to the gestalt of this operation, since it is not necessary to pour in oxygen ion by high concentration, there is no constraint to ion implantation equipment, and many existing equipments can be used. Moreover, since oxidation treatment is performed without forming a silicon nitride, a routing counter can be reduced.

[0030] Although oxidized thermally by the gestalt of operation of the 4th of this invention forming an amorphous layer like the gestalt of implementation of the above 3rd, the point using a silicon nitride as a mask for anti-oxidation is different. Like drawing 4 (a), it oxidizes thermally on the front face of the semi-conductor substrate 41, silicon oxide 42 is formed, and the silicon nitride 43 is formed with a CVD method. Like drawing 4 (b), the resist film 44 from which the part of a component isolation region was removed is formed on the silicon nitride 43. It etches into the silicon nitride 43 by using this resist film 44 as a mask, and

the part of a component isolation region like drawing 4 (c) is removed. Oxygen ion or an argon is poured in by using this silicon nitride 43 as a mask, and the amorphous layer 45 is formed. When pouring in oxygen ion, it is good at the low concentration which is extent in which the amorphous layer 45 is formed like the gestalt of the 3rd operation.

[0031] Silicon oxide 46 is formed only in a component isolation region, and wet etching removes the silicon nitride 43 and silicon oxide 42 like drawing 4 (d). On a component field, silicon oxide 47 is formed by the oxidizing [thermally] method.

[0032] Since according to the gestalt of this operation a silicon nitride is formed and thermal oxidation processing is performed, generating of a BAZU beak is controlled certainly, it is highly precise and the dimension of a component isolation region can be controlled.

[0033] The gestalt of the 5th – the 8th operation of the following this inventions has the description in the point of having added the process which trenches the front face of a semi-conductor substrate, respectively, to the isolation by the gestalt of the above 1st – the 4th implementation. The gestalt of the 5th operation performs isolation in a procedure as shown in drawing 5 . Silicon oxide 52 is formed in the front face of the semi-conductor substrate 51 by the oxidizing [thermally] method like drawing 5 (a), and the resist film 53 from which the part of a component isolation region was removed like drawing 5 (b) is formed. Reactive ion etching is performed on the front face of the semi-conductor substrate 51 by using this resist film 53 as a mask, and a slot 57 is formed. The depth of flute may be 0.2 micrometers. Furthermore, oxygen ion is injected into the surface part of a slot 57 by using the resist film 53 as a mask, and the high concentration oxygen ion-implantation layer 54 is formed. Here, the depth of the high concentration oxygen ion-implantation layer 54 is set to 0.2 micrometers like the depth of a slot 57.

[0034] The resist film 53 is removed, annealing treatment is performed in an inert gas ambient atmosphere, and silicon oxide 55 with a thickness of 0.4 micrometers is formed. Furthermore, silicon oxide 52 is removed like drawing 5 (d). Thereby, silicon oxide 55 with almost equal semi-conductor substrate 51 and height is formed.

[0035] It uses as gate oxide at the time of oxidizing thermally, forming silicon oxide 56 on a component field like drawing 5 (e), and forming a component.

[0036] Since silicon oxide is formed according to the gestalt of the above 1st – the 4th implementation, without forming a slot in a component isolation region, a component isolation region becomes high and the surface smoothness of a substrate is not secured from the front face of a semi-conductor substrate. On the other hand, since according to the gestalt of this operation a slot 57 is formed in a component isolation region, it oxidizes into the surface part of this slot 57 and silicon oxide 55 is formed, the height of a component isolation region becomes almost the same as a substrate, and flattening becomes possible. Furthermore, according to the gestalt of this operation, only the part which forms a slot rather than the gestalt of the above 1st – the 4th implementation can form silicon oxide 55 in a deep location from the front face of the semi-conductor substrate 51. Therefore, the effectiveness of separating a component is more high and the punch-through between the components which separated and formed silicon oxide 55 can be prevented certainly.

[0037] The gestalt of operation of the 6th of this invention performs isolation in the procedure shown in drawing 6 . On the front face of the semi-conductor substrate 61, silicon oxide 62 is formed by the oxidizing [thermally] method, and the silicon nitride 63 is further formed with a CVD method.

[0038] A resist is applied to the whole front face of the silicon nitride 63, and the resist film 64 from which the part of a component isolation region was removed is formed. The silicon nitride 63 from which it etched into the silicon nitride 63 by having used this resist film 64 as the mask, the resist film 64 was removed, and the part of a component isolation region was removed like drawing 6 (c) is formed.

[0039] Reactive ion etching is performed to the component isolation region of the semi-conductor substrate 61 by using this silicon nitride 63 as a mask like drawing 6 (d), and it trenches [68]. Oxygen ion is poured in by using the silicon nitride 63 as a mask, and the high concentration oxygen ion-implantation layer 64 is formed.

[0040] Annealing treatment is performed in the high concentration oxygen ion-implantation layer 64 by using the silicon nitride 63 as a mask like drawing 6 (e), and silicon oxide 65 is formed. Etching removes the silicon nitride 63 and silicon oxide 62 on a component field. Silicon oxide 67 is formed on a component field using the oxidizing [thermally] method.

[0041] The gestalt of operation of the 7th of this invention is explained using drawing 7 . Like drawing 7 (a),

silicon oxide 72 is formed on the front face of the semi-conductor substrate 71. The resist film 73 from which the resist was applied to the whole front face, and the component isolation region was removed like drawing 7 (b) is formed. It etches into the semi-conductor substrate 71 by using this resist film 73 as a mask, and a slot 77 is formed like drawing 7 (c). Oxygen ion or an argon is injected into the surface part of a slot 77, and the amorphous layer 74 is formed.

[0042] The resist film 73 is removed like drawing 7 (d), it oxidizes thermally, the silicon oxide 75 of thick thickness is formed in a component isolation region, and the silicon oxide 78 of thin thickness is formed in a component field. Then, etching removes the silicon oxide 78 on a component field.

[0043] The thermal oxidation film is performed like drawing 7 (e), and the silicon oxide 76 used for a component field as gate oxide is formed.

[0044] The gestalt of operation of the 8th of this invention performs isolation in a procedure as shown in drawing 8. Like drawing 8 (a), silicon oxide 82 and the silicon nitride 83 are formed on the front face of the semi-conductor substrate 81, and the resist film 84 from which the part of a component isolation region was removed like drawing 8 (b) is formed. It etches into the silicon nitride 83 by using this resist film 84 as a mask, and the silicon nitride 83 from which the part of a component isolation region was removed like drawing 8 (c) is formed.

[0045] It etches into the semi-conductor substrate 81 by using this silicon nitride 83 as a mask like drawing 8 (d), and a slot 87 is formed in a component isolation region. Oxygen ion or an argon is injected into the surface part of this slot 83, and the amorphous layer 84 is formed.

[0046] It oxidizes thermally in the amorphous layer 84 considering the silicon nitride 83 as a mask, and silicon oxide 85 is formed like drawing 8 (e). Etching removes the silicon nitride 83 and silicon oxide 82. Then, it oxidizes thermally and silicon oxide 86 is formed on a component field.

[0047] Thus, since the process which trenches the component isolation region of a semi-conductor substrate further was added to the manufacture approach by the gestalt of the above 1st – the 4th implementation according to the gestalt of the 5th – the 8th operation, it is possible to carry out flattening of the front face of a semi-conductor substrate.

[0048] Each gestalt of operation mentioned above is an example, and does not limit this invention. For example, in the gestalt of the above-mentioned implementation, in order to form an amorphous layer, an argon is poured in, or oxygen ion is poured in by concentration lower than a high concentration oxygen ion-implantation layer. However, other things may be poured in, as long as it cuts association of the silicon not only these but in a semi-conductor substrate and can form an amorphous layer.

[0049]
[Effect of the Invention] As explained above, according to the manufacture approach of the semiconductor device of this invention, oxygen ion is poured into a component isolation region by high concentration. Perform annealing treatment in an inert gas ambient atmosphere, and form silicon oxide and isolation is performed. Or by forming an amorphous layer by pouring oxygen ion into a component isolation region by low concentration, or pouring in an inactive element, heat-treating in an oxygen ambient atmosphere and forming silicon oxide. Generating of a BAZU beak is prevented as compared with the LOCOS method, it is highly precise and it is possible to control the dimension of a component isolation region, while being able to attain detailed-ization, a process is simplified and cost reduction is more possible than the STI method.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] Drawing of longitudinal section of the component which showed the manufacture approach of the semiconductor device by the gestalt of operation of the 1st of this invention according to the process.

[Drawing 2] Drawing of longitudinal section of the component which showed the manufacture approach of the semiconductor device by the gestalt of operation of the 2nd of this invention according to the process.

[Drawing 3] Drawing of longitudinal section of the component which showed the manufacture approach of the semiconductor device by the gestalt of operation of the 3rd of this invention according to the process.

[Drawing 4] Drawing of longitudinal section of the component which showed the manufacture approach of the semiconductor device by the gestalt of operation of the 4th of this invention according to the process.

[Drawing 5] Drawing of longitudinal section of the component which showed the manufacture approach of the semiconductor device by the gestalt of operation of the 5th of this invention according to the process.

[Drawing 6] Drawing of longitudinal section of the component which showed the manufacture approach of the semiconductor device by the gestalt of operation of the 6th of this invention according to the process.

[Drawing 7] Drawing of longitudinal section of the component which showed the manufacture approach of the semiconductor device by the gestalt of operation of the 7th of this invention according to the process.

[Drawing 8] Drawing of longitudinal section of the component which showed the manufacture approach of the semiconductor device by the gestalt of operation of the 8th of this invention according to the process.

[Drawing 9] Drawing of longitudinal section of the component which showed the manufacture approach of the conventional semiconductor device according to the process.

[Drawing 10] Drawing of longitudinal section of the component which showed the manufacture approach of other conventional semiconductor devices according to the process.

[Description of Notations]

11, 21, 31, 41, 51, 61, 71, 81 Semi-conductor substrate

12, 22, 32, 42, 52, 62, 72, 82 Silicon oxide (thermal oxidation film)

13, 24, 33, 44, 53, 64, 73, 84 Resist film

14, 25, 34, 45, 54, 74, 85 High concentration oxygen ion-implantation layer

15, 26, 35, 46, 55, 65, 75 Silicon oxide (field oxide)

16, 27, 37, 47, 56, 67, 76, 86 Silicon oxide (gate oxide)

23, 43, 63, 83 Silicon nitride

57, 68, 77, 87 Slot

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

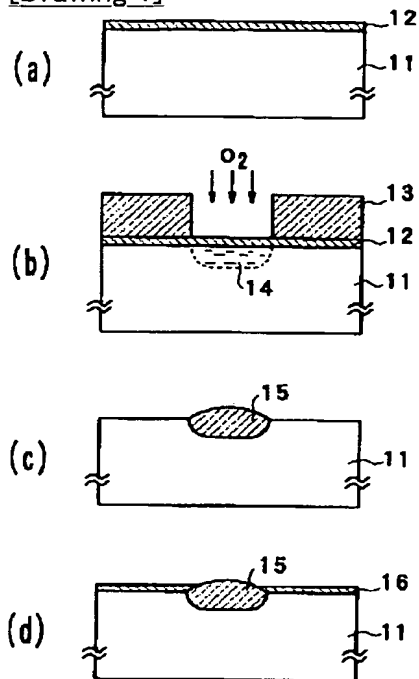
1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

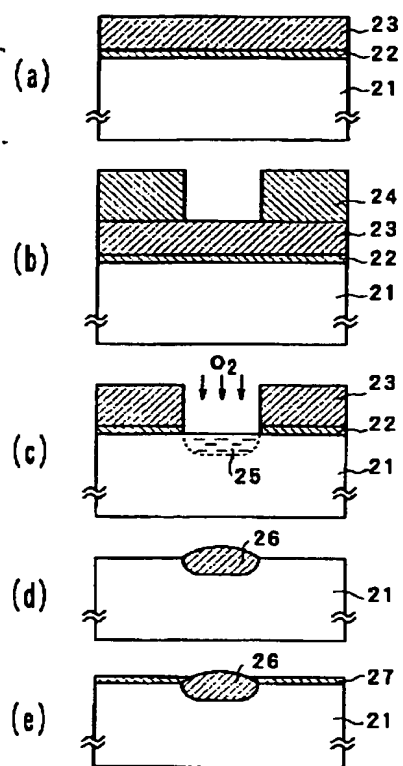
3.In the drawings, any words are not translated.

DRAWINGS

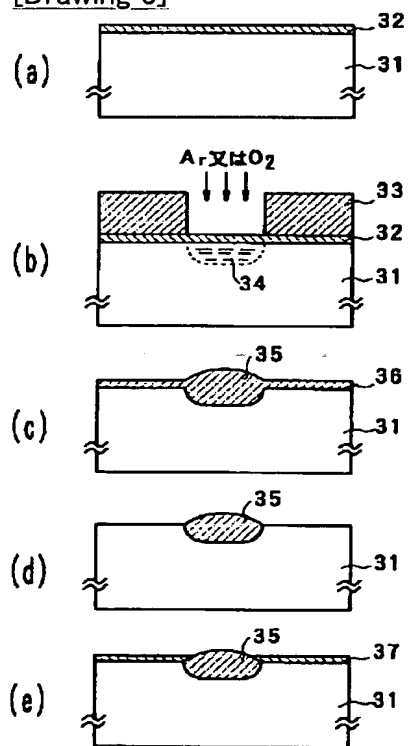
[Drawing 1]



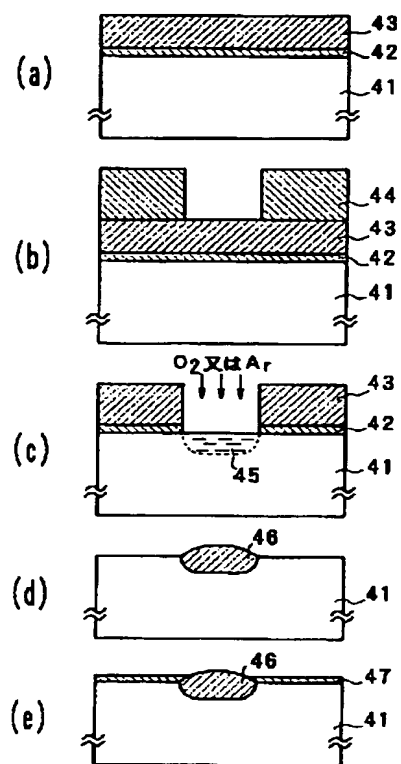
[Drawing 2]



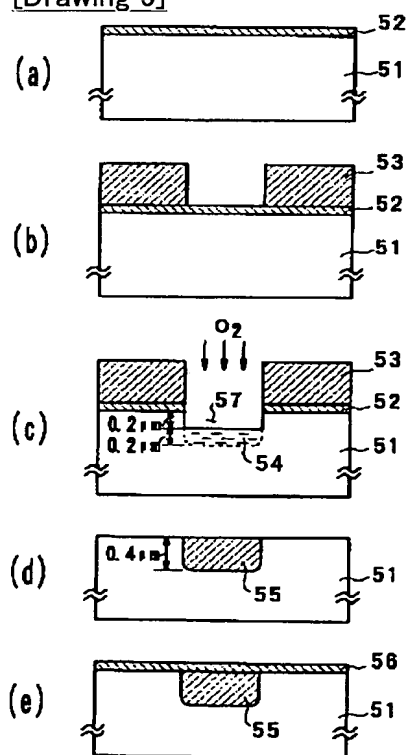
[Drawing 3]



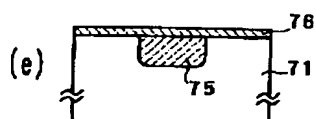
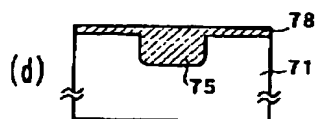
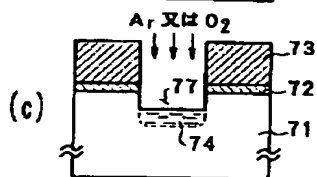
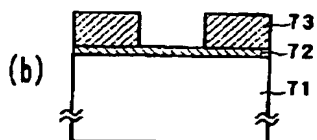
[Drawing 4]



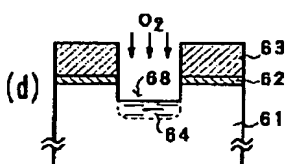
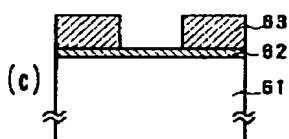
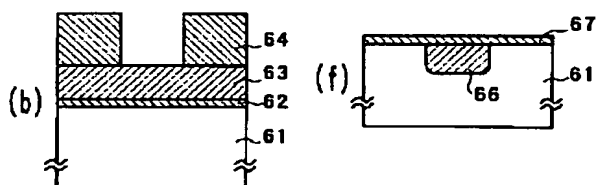
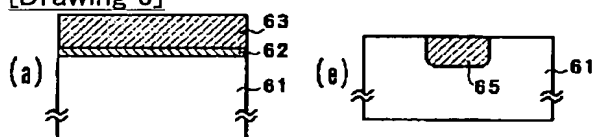
[Drawing 5]



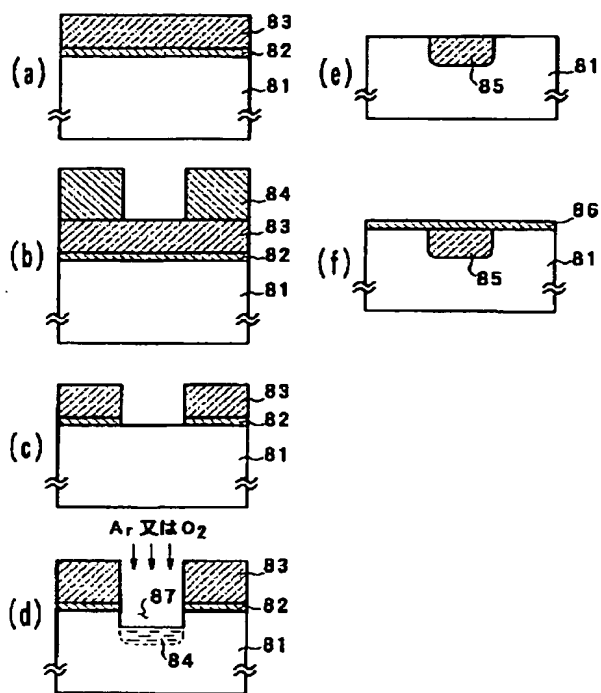
[Drawing 7]



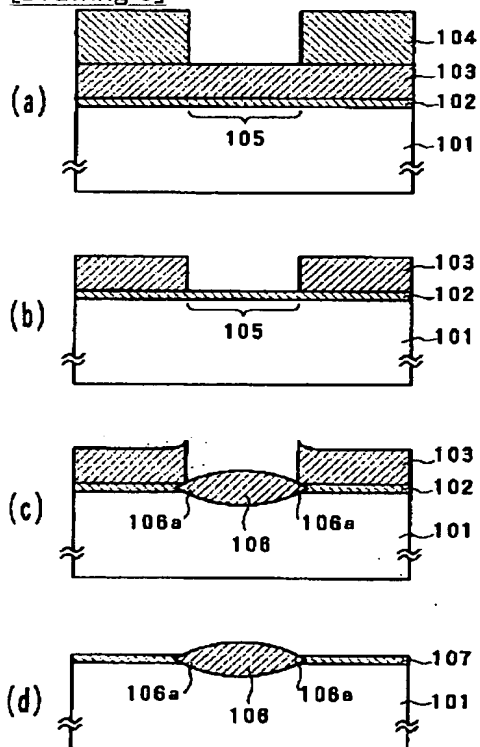
[Drawing 6]



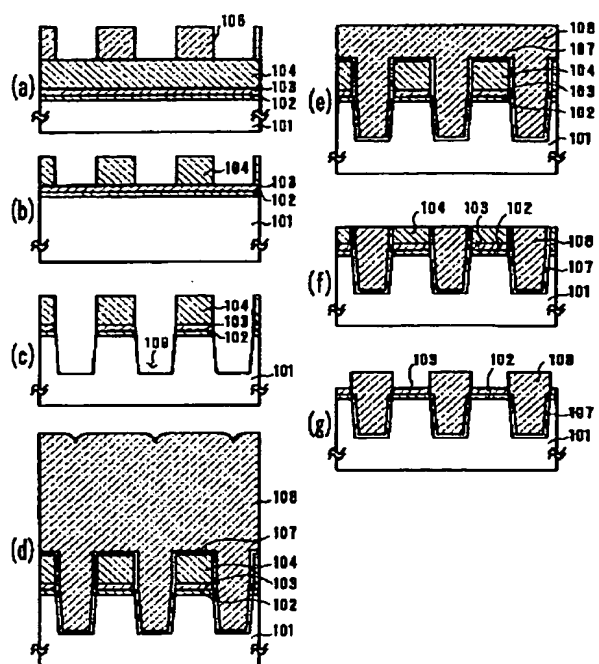
[Drawing 8]



[Drawing 9]



[Drawing 10]



[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-67753

(43) 公開日 平成11年(1999) 3月9日

(51) Int.Cl.⁸

識別記号

F I

H 0 1 L 21/316

H 0 1 L 21/94

A

21/265

21/265

J

21/76

21/76

R

審査請求 未請求 請求項の数 8 O L (全 9 頁)

(21) 出願番号

特願平9-215221

(22) 出願日

平成9年(1997) 8月8日

(71) 出願人 000221199

東芝マイクロエレクトロニクス株式会社

神奈川県川崎市川崎区駅前本町25番地 1

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 河 會 直 人

神奈川県川崎市幸区堀川町580番 1 号 株

式会社東芝半導体システム技術センター内

(72) 発明者 佐々木 正 博

神奈川県川崎市川崎区駅前本町25番地 1

東芝マイクロエレクトロニクス株式会社内

(74) 代理人 弁理士 佐藤 一雄 (外 3 名)

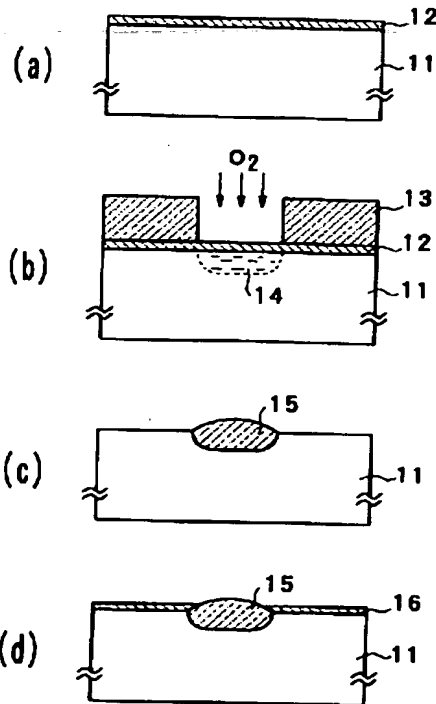
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 素子分離の微細化及び工程の簡略化を同時に達成することができなかった。

【解決手段】 半導体基板 11 の表面上に、素子分離領域の部分除去されたマスク材 13 を形成する工程と、マスク材 13 を用いて半導体基板 11 の素子分離領域の表面部分に酸素イオンを注入し、酸素イオン注入層 15 を形成する工程と、マスク材 13 を除去する工程と、不活性ガス雰囲気中で熱処理を行って前記酸素イオン注入層を酸化させ、素子分離領域にシリコン酸化膜 15 を形成する工程とを備える。



【特許請求の範囲】

【請求項1】半導体基板の表面上に、素子分離領域の部分が除去されたマスク材を形成する工程と、

前記マスク材を用いて、前記半導体基板の素子分離領域の表面部分に酸素イオンを注入し、酸素イオン注入層を形成する工程と、

前記マスク材を除去する工程と、

不活性ガス雰囲気中で熱処理を行って前記酸素イオン注入層を酸化させ、素子分離領域にシリコン酸化膜を形成する工程と、

を備えることを特徴とする半導体装置の製造方法。

【請求項2】半導体基板の表面上に、素子分離領域の部分が除去された耐酸化性を有する絶縁膜を形成する工程と、

前記絶縁膜をマスクとして、前記半導体基板の素子分離領域の表面部分に酸素イオンを注入し、酸素イオン注入層を形成する工程と、

前記絶縁膜をマスクとして、不活性ガス雰囲気中で熱処理を行って前記酸素イオン注入層を酸化させ、素子分離領域にシリコン酸化膜を形成する工程と、

前記絶縁膜を除去する工程と、

を備えることを特徴とする半導体装置の製造方法。

【請求項3】半導体基板の表面上に、素子分離領域の部分が除去されたマスク材を形成する工程と、

前記マスク材を用いて、前記半導体基板の素子分離領域の表面部分に非晶質化が可能な元素を注入し、非晶質層を形成する工程と、

前記マスク材を除去する工程と、

酸素雰囲気中で熱酸化処理を行って前記非晶質層を酸化させ、素子分離領域に第1のシリコン酸化膜を形成する工程と、

を備えることを特徴とする半導体装置の製造方法。

【請求項4】半導体基板の表面上に、素子分離領域の部分が除去された耐酸化性を有する絶縁膜を形成する工程と、

前記絶縁膜をマスクとして、前記半導体基板の素子分離領域の表面部分に非晶質化が可能な元素を注入し、非晶質層を形成する工程と、

前記絶縁膜をマスクとして、酸素雰囲気中で熱酸化処理を行って前記非晶質層を酸化させ、素子分離領域にシリコン酸化膜を形成する工程と、

前記絶縁膜を除去する工程と、

を備えることを特徴とする半導体装置の製造方法。

【請求項5】半導体基板の表面上に、素子分離領域の部分が除去されたマスク材を形成する工程と、

前記マスク材を用いて、前記半導体基板の素子分離領域の表面部分に溝を形成する工程と、

前記マスク材を用いて、前記溝の表面部分に酸素イオンを注入し、酸素イオン注入層を形成する工程と、

前記マスク材を除去する工程と、

不活性ガス雰囲気中で熱処理を行って前記酸素イオン注入層を酸化させ、素子分離領域にシリコン酸化膜を形成する工程と、

を備えることを特徴とする半導体装置の製造方法。

【請求項6】半導体基板の表面上に、素子分離領域の部分が除去された耐酸化性を有する絶縁膜を形成する工程と、

前記絶縁膜をマスクとして、前記半導体基板の素子分離領域の表面部分に溝を形成する工程と、

10 前記絶縁膜をマスクとして、前記半導体基板の素子分離領域の表面部分に酸素イオンを注入し、酸素イオン注入層を形成する工程と、

前記絶縁膜をマスクとして、不活性ガス雰囲気中で熱処理を行って前記酸素イオン注入層を酸化させ、素子分離領域にシリコン酸化膜を形成する工程と、

前記絶縁膜を除去する工程と、

を備えることを特徴とする半導体装置の製造方法。

【請求項7】半導体基板の表面上に、素子分離領域の部分が除去されたマスク材を形成する工程と、

20 前記マスク材を用いて、前記半導体基板の素子分離領域の表面部分に溝を形成する工程と、

前記マスク材を用いて、前記半導体基板の素子分離領域の表面部分に非晶質化が可能な元素を注入し、非晶質層を形成する工程と、

前記マスク材を除去する工程と、

酸素雰囲気中で熱酸化処理を行って前記非晶質層を酸化させ、素子分離領域に第1のシリコン酸化膜を形成する工程と、

を備えることを特徴とする半導体装置の製造方法。

【請求項8】半導体基板の表面上に、素子分離領域の部分が除去された耐酸化性を有する絶縁膜を形成する工程と、

前記絶縁膜をマスクとして、前記半導体基板の素子分離領域の表面部分に溝を形成する工程と、

前記絶縁膜をマスクとして、前記半導体基板の素子分離領域の表面部分に非晶質化が可能な元素を注入し、非晶質層を形成する工程と、

前記絶縁膜をマスクとして、酸素雰囲気中で熱酸化処理を行って前記非晶質層を酸化させ、素子分離領域にシリコン酸化膜を形成する工程と、

前記絶縁膜を除去する工程と、

を備えることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置の製造方法に関し、特に素子分離を行うための方法に関する。

【0002】

【従来の技術】半導体装置における素子分離には、一般にLOCOS (Local Oxidization of Silicon) 法と称される方法とSTI (Shallow Trench Isolation) 法と

が用いられている。

【0003】LOCOS法は、図9に示されるような工程により素子分離を行う。図9(a)に示されるように、半導体基板101の表面上に熱酸化法によるシリコン酸化膜102とCVD (Chemical Vapor Deposition) 法によるシリコン窒化膜103を形成する。シリコン窒化膜103の表面上にフォトリソを塗布し、素子分離領域105の部分が除去されたレジスト膜104を形成する。

【0004】図9(b)のように、レジスト膜104をマスクとしてシリコン窒化膜103にエッチングを行い、素子分離領域105の部分を除去する。酸化雰囲気中で熱処理を行い、図9(c)のように素子分離領域105にフィールド酸化膜106を形成する。

【0005】この後、シリコン窒化膜103及びシリコン酸化膜102を除去し、熱酸化法により素子領域にシリコン酸化膜107を形成する。

【0006】また、STI法は図10に示されるような手順で素子分離を行う。図10(a)に示されるように、半導体基板101の表面上に熱酸化法によりシリコン酸化膜102を形成し、さらにCVD法により多結晶シリコン膜103、シリコン窒化膜104を形成する。シリコン窒化膜104上に、トレンチ溝を開孔する部分が除去されたレジスト膜106を形成する。

【0007】図10(b)のように、レジスト膜106をマスクとしてシリコン窒化膜104をエッチングし、トレンチ溝を形成する部分が除去されるようにパターニングする。この後、レジスト膜106を剥離する。

【0008】図10(c)に示されたように、シリコン窒化膜104をマスクとして、多結晶シリコン膜103、シリコン酸化膜102、半導体基板101にエッチングを行い、トレンチ溝109を形成する。

【0009】図10(d)のように、後酸化を行ってシリコン酸化膜107を表面上に形成し、さらにTEOS-オゾンCVD法によりシリコン酸化膜108を堆積する。図10(e)のように、CMP (Chemical Mechanical Polishing) を行ってシリコン酸化膜108をエッチバックする。さらに、図10(f)のように、シリコン酸化膜108にCMPを行って平坦化する。

【0010】図10(g)のように、シリコン窒化膜104にエッチングを行って除去し、トレンチ溝109をシリコン酸化膜108で埋め込んだ素子分離構造を得る。

【0011】

【発明が解決しようとする課題】しかし、従来の素子分離法には次のような問題があった。LOCOS法を用いた場合は、図9(c)及び(d)に示されたように、フィールド酸化膜106の周囲にバースピーク106aが形成される。このため、素子分離領域105の寸法制御及び微細化が困難であった。

【0012】STI法を用いた場合には、LOCOS法と比較して寸法制御及び微細化の点では優れている。しかし、図10(a)～(g)を用いて説明したように、工程数が多く製造時間及びコストが増大するという問題があった。

【0013】本発明は上記事情に鑑みてなされたもので、素子分離領域の微細化及び工程の簡略化とを共に実現することができる半導体装置の製造方法を提供することを目的とする。

【0014】

【課題を解決するための手段】本発明の半導体装置の製造方法は、半導体基板の表面上に、素子分離領域の部分が除去されたマスク材を形成する工程と、前記マスク材を用いて、前記半導体基板の素子分離領域の表面部分に酸素イオンを注入し、酸素イオン注入層を形成する工程と、前記マスク材を除去する工程と、不活性ガス雰囲気中で熱処理を行って前記酸素イオン注入層を酸化させ、素子分離領域にシリコン酸化膜を形成する工程とを備えることを特徴とする。

【0015】また、本発明の製造方法は、マスク材として耐酸化性を有する絶縁膜を用いて半導体基板の素子分離領域の表面部分に酸素イオンを注入し、酸素イオン注入層を形成する工程と、前記絶縁膜をマスクとして、不活性ガス雰囲気中で熱処理を行って前記酸素イオン注入層を酸化させ、素子分離領域にシリコン酸化膜を形成する工程と、前記絶縁膜を除去する工程とを備える。

【0016】本発明の製造方法は、素子分離領域の部分が除去されたマスク材を用いて、前記半導体基板の素子分離領域の表面部分に非晶質化が可能な元素を注入し、非晶質層を形成する工程と、前記マスク材を除去する工程と、酸素雰囲気中で熱酸化処理を行って前記非晶質層を酸化させ、素子分離領域に第1のシリコン酸化膜を形成する工程とを備える。

【0017】あるいは、本発明の製造方法は、半導体基板の表面上に、素子分離領域の部分が除去された耐酸化性を有する絶縁膜を形成する工程と、前記絶縁膜をマスクとして、前記半導体基板の素子分離領域の表面部分に非晶質化が可能な元素を注入し、非晶質層を形成する工程と、前記絶縁膜をマスクとして、酸素雰囲気中で熱酸化処理を行って前記非晶質層を酸化させ、素子分離領域にシリコン酸化膜を形成する工程と、前記絶縁膜を除去する工程とを備える。

【0018】また、本発明の製造方法は、前記半導体基板の素子分離領域の表面部分に溝を形成し、この溝の表面部分に酸素イオンを注入して酸素イオン注入層を形成し、あるいは非晶質化が可能な元素を注入して非晶質層を形成し、この部分に酸化を行ってシリコン酸化膜を形成する。

【0019】

50 【発明の実施の形態】以下、本発明の一実施の形態につ

いて図面を参照して説明する。

【0020】本発明の第1の実施の形態による半導体装置の製造方法は、図1に示されるような工程を経て素子分離を行う。図1(a)のように、半導体基板11の表面上に、熱酸化法により摂氏約900度で約1000オングストロームのシリコン酸化膜12を形成する。

【0021】図1(b)のように、シリコン酸化膜12上にレジストを塗布し、素子分離領域の部分を除去したレジスト膜13を形成する。このレジスト膜13をマスクとして酸素をイオン注入し、高濃度酸素イオン注入層14を形成する。この酸素の注入量は、半導体基板中に含まれるシリコンの原子数の約2倍の酸素が注入されて酸化シリコン(SiO_2)が形成され得るように制御される必要がある。例えば、注入後の注入層14の酸素の濃度が 10^{23} 個/ cm^3 となるように酸素の注入量を設定する。加速電圧は、高濃度酸素イオン注入層14の深さが $0.2\mu\text{m}$ となるように例えば100keVとする。

【0022】次に、レジスト膜13を除去し、高濃度酸素イオン注入層14に対して酸化処理を行う。具体的には、不活性ガス雰囲気中で摂氏約950~1000度でアニール処理を行う。これにより、高濃度酸素イオン注入層14に含まれる酸素イオンが基板内のシリコンと結合し、図1(c)のようにシリコン酸化膜15が形成される。この後、ウェットエッチングを行ってシリコン酸化膜12を除去する。図1(d)のように、素子領域の表面上に熱酸化法によりシリコン酸化膜16を形成する。このシリコン酸化膜16は、以降の工程でトランジスタを形成するときのゲート酸化膜となる。

【0023】このような第1の実施の形態によれば、素子分離領域に酸素イオンを注入して高濃度酸素イオン注入層14を形成するため、酸化雰囲気だけでなく不活性ガス雰囲気中のアニール処理によりシリコン酸化膜15を形成することができる。これにより、高濃度酸素イオン注入層14に酸化を行う場合に、酸化雰囲気中ではないのでシリコン酸化膜15の周囲にバズピークが形成されることが防止される。従って、高精度でシリコン酸化膜15の横方向の寸法を制御することができ、微細化が達成される。また、上記STI法よりも工程数が少ないので、工程の簡略化が可能である。

【0024】本発明の第2の実施の形態による製造方法について、図2を用いて述べる。本実施の形態は、シリコン窒化膜を用いて酸化処理を行う点で上記第1の実施の形態と相違する。図2(a)のように、半導体基板21の表面上に熱酸化法によりシリコン酸化膜22を形成し、さらにその表面上にCVD法により約1000~2000オングストロームのシリコン窒化膜23を形成する。シリコン窒化膜23上にレジストを塗布し、素子分離領域の部分が除去されたレジスト膜24を形成する。このレジスト膜24をマスクとして、シリコン窒化膜23にエッチングを行う。

【0025】図2(c)のように、シリコン窒化膜23をマスクとして素子分離領域に酸素イオンを注入し、高濃度酸素イオン注入層25を形成する。シリコン窒化膜23を耐酸化マスクとして、酸化雰囲気中で酸化処理を行う。この後、図2(d)のように、素子領域上のシリコン窒化膜23及びシリコン酸化膜22を除去する。図2(e)のように、熱酸化法により素子領域上にシリコン酸化膜27を形成する。

【0026】第2の実施の形態によれば、シリコン窒化膜23をマスクとして酸化処理を行うため、マスクの膜厚を薄くしてアスペクト比を小さくすることができ、微細化が可能である。

【0027】本発明の第3の実施の形態について、図3を用いて説明する。本実施の形態では、素子分離領域に高濃度酸素イオン注入層の替わりに非晶質を形成し、熱酸化処理を行う点に特徴がある。図3(a)のように、半導体基板31に熱酸化法を用いてシリコン酸化膜32を形成し、その表面上に図3(b)のように素子分離領域の部分が除去されたレジスト膜33を形成する。このレジスト膜33をマスクとして酸素イオン又はアルゴンを注入して非晶質層34を形成する。酸素イオンを注入する場合は、上記第1、第2の実施の形態と異なり、基板中のシリコンと酸素とを結合させて酸化シリコンを形成する目的で注入するのではないので、非晶質層34を形成するために必要な程度の濃度でよい。従って、イオンの注入量が本実施の形態では少なくても済むので、注入時間が短縮され、スループットが向上する。

【0028】レジスト膜33を除去し、熱酸化処理を行う。非晶質層34はシリコン同士の結合が切れているので、容易に酸化されてシリコン酸化膜35が形成される。これにより、図3(c)のように素子分離領域にはシリコン酸化膜35が厚く形成され、他の素子領域では薄いシリコン酸化膜36が形成される。この後、図3(d)のように素子領域上のシリコン酸化膜36をウェットエッチングにより剥離する。図3(e)のように、熱酸化処理を行って素子領域上にシリコン酸化膜37を形成する。

【0029】本実施の形態によれば、高濃度で酸素イオンを注入する必要がないので、イオン注入装置への制約がなく、既存の多くの装置を用いることができる。また、シリコン窒化膜を形成せずに酸化処理を行うので工程数を減らすことができる。

【0030】本発明の第4の実施の形態は、上記第3の実施の形態と同様に非晶質層を形成して熱酸化を行うが、耐酸化用のマスクとしてシリコン窒化膜を用いる点が相違する。図4(a)のように、半導体基板41の表面上に熱酸化を行ってシリコン酸化膜42を形成し、CVD法によりシリコン窒化膜43を形成する。図4(b)のように、シリコン窒化膜43上に素子分離領域の部分が除去されたレジスト膜44を形成する。このレ

ジスト膜44をマスクとしてシリコン窒化膜43にエッチングを行い、図4(c)のような素子分離領域の部分を除去する。このシリコン窒化膜43をマスクとして酸素イオン又はアルゴンを注入して非晶質層45を形成する。酸素イオンを注入するときは、第3の実施の形態と同様に非晶質層45が形成される程度の低濃度でよい。

【0031】素子分離領域にのみシリコン酸化膜46が形成され、図4(d)のようにシリコン窒化膜43及びシリコン酸化膜42をウエットエッチングにより除去する。素子領域上に、熱酸化法によりシリコン酸化膜47を形成する。

【0032】本実施の形態によれば、シリコン窒化膜を形成して熱酸化処理を行うので、パズブークの発生を確実に抑制し、高精度で素子分離領域の寸法を制御することができる。

【0033】以下の本発明の第5～第8の実施の形態は、上記第1～第4の実施の形態による素子分離に対し、それぞれ半導体基板の表面に溝を掘る工程を追加している点に特徴がある。第5の実施の形態は、図5に示されるような手順で素子分離を行う。図5(a)のように半導体基板51の表面に熱酸化法によりシリコン酸化膜52を形成し、図5(b)のように素子分離領域の部分が除去されたレジスト膜53を形成する。このレジスト膜53をマスクとして半導体基板51の表面に反応性イオンエッチングを行い、溝57を形成する。溝の深さは例えば0.2 μm とする。さらに、レジスト膜53をマスクとして溝57の表面部分に酸素イオンを注入して高濃度酸素イオン注入層54を形成する。ここで、高濃度酸素イオン注入層54の深さは、溝57の深さと同様に0.2 μm とする。

【0034】レジスト膜53を除去し、不活性ガス雰囲気中でアニール処理を行い、0.4 μm の厚さのシリコン酸化膜55を形成する。さらに、図5(d)のようにシリコン酸化膜52を除去する。これにより、半導体基板51と高さがほぼ等しいシリコン酸化膜55が形成される。

【0035】図5(e)のように、熱酸化を行って素子領域上にシリコン酸化膜56を形成し、素子を形成した場合のゲート酸化膜として用いる。

【0036】上記第1～第4の実施の形態によれば、素子分離領域に溝を形成せずにシリコン酸化膜を形成するので、半導体基板の表面より素子分離領域が高くなり、基板の平坦性は確保されない。これに対し、本実施の形態によれば素子分離領域に溝57を形成し、この溝57の表面部分に酸化を行ってシリコン酸化膜55を形成するので、素子分離領域の高さが基板とほぼ同じになり、平坦化が可能になる。さらに、本実施の形態によれば、上記第1～第4の実施の形態よりも溝を形成する分だけシリコン酸化膜55を半導体基板51の表面から深い位置に形成することができる。従って、素子を分離する効

果がより高く、シリコン酸化膜55を隔てて形成した素子間のパンチスルーを確実に防止することができる。

【0037】本発明の第6の実施の形態は、図6に示される手順で素子分離を行う。半導体基板61の表面上に、熱酸化法によりシリコン酸化膜62を形成し、さらにCVD法によりシリコン窒化膜63を形成する。

【0038】シリコン窒化膜63の表面全体にレジストを塗布し、素子分離領域の部分を除去したレジスト膜64を形成する。このレジスト膜64をマスクとしてシリコン窒化膜63にエッチングを行い、レジスト膜64を除去し、図6(c)のように素子分離領域の部分が除去されたシリコン窒化膜63を形成する。

【0039】図6(d)のように、このシリコン窒化膜63をマスクとして、半導体基板61の素子分離領域に反応性イオンエッチングを行い、溝68を掘る。シリコン窒化膜63をマスクとして酸素イオンを注入し、高濃度酸素イオン注入層64を形成する。

【0040】図6(e)のように、シリコン窒化膜63をマスクとして高濃度酸素イオン注入層64にアニール処理を行い、シリコン酸化膜65を形成する。素子領域上におけるシリコン窒化膜63及びシリコン酸化膜62をエッチングにより除去する。熱酸化法を用いて、素子領域上にシリコン酸化膜67を形成する。

【0041】本発明の第7の実施の形態について、図7を用いて説明する。図7(a)のように、半導体基板71の表面上にシリコン酸化膜72を形成する。図7

(b)のように、表面全体にレジストを塗布して素子分離領域が除去されたレジスト膜73を形成する。このレジスト膜73をマスクとして半導体基板71にエッチングを行い、図7(c)のように溝77を形成する。酸素イオン又はアルゴンを溝77の表面部分に注入し、非晶質層74を形成する。

【0042】図7(d)のようにレジスト膜73を除去し、熱酸化を行って素子分離領域には厚い膜厚のシリコン酸化膜75を形成し、素子領域には薄い膜厚のシリコン酸化膜78を形成する。この後、素子領域上のシリコン酸化膜78をエッチングにより除去する。

【0043】図7(e)のように熱酸化膜を行い、素子領域にゲート酸化膜として用いるシリコン酸化膜76を形成する。

【0044】本発明の第8の実施の形態は、図8に示されるような手順で素子分離を行う。図8(a)のように、半導体基板81の表面上にシリコン酸化膜82とシリコン窒化膜83を形成し、図8(b)のように素子分離領域の部分が除去されたレジスト膜84を形成する。このレジスト膜84をマスクとしてシリコン窒化膜83にエッチングを行い、図8(c)のように素子分離領域の部分が除去されたシリコン窒化膜83を形成する。

【0045】図8(d)のようにこのシリコン窒化膜83をマスクとして半導体基板81にエッチングを行い、

素子分離領域に溝 8 7 を形成する。この溝 8 3 の表面部分に、酸素イオン又はアルゴンを注入し、非晶質層 8 4 を形成する。

【0046】シリコン窒化膜 8 3 をマスクとして非晶質層 8 4 に熱酸化を行い、図 8 (e) のようにシリコン酸化膜 8 5 を形成する。シリコン窒化膜 8 3 及びシリコン酸化膜 8 2 をエッチングにより除去する。この後、熱酸化を行って素子領域上にシリコン酸化膜 8 6 を形成する。

【0047】このように、第 5 ～ 第 8 の実施の形態によれば、上記第 1 ～ 第 4 の実施の形態による製造方法にさらに半導体基板の素子分離領域に溝を掘る工程を追加したので、半導体基板の表面を平坦化することが可能である。

【0048】上述した実施の形態はいずれも一例であり、本発明を限定するものではない。例えば、上記実施の形態では非晶質層を形成するためにアルゴンを注入したり、あるいは高濃度酸素イオン注入層よりも低い濃度で酸素イオンを注入している。しかし、これらに限らず半導体基板内のシリコン同士の結合を切って非晶質層を形成し得るものであれば他のものを注入してもよい。

【0049】

【発明の効果】以上説明したように、本発明の半導体装置の製造方法によれば、素子分離領域に酸素イオンを高濃度で注入し、不活性ガス雰囲気中でアニール処理を行ってシリコン酸化膜を形成して素子分離を行い、あるいは、素子分離領域に酸素イオンを低濃度で注入し、又は不活性元素を注入することで非晶質層を形成し、酸素雰囲気中で熱処理を行ってシリコン酸化膜を形成することにより、LOCOS 法と比較してバースピークの発生を防止し高精度で素子分離領域の寸法を制御することが可能であり、微細化を達成することができると共に、STI 法よりも工程が簡略化されコスト低減が可能である。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施の形態による半導体装置の

製造方法を工程別に示した素子の縦断面図。

【図 2】本発明の第 2 の実施の形態による半導体装置の製造方法を工程別に示した素子の縦断面図。

【図 3】本発明の第 3 の実施の形態による半導体装置の製造方法を工程別に示した素子の縦断面図。

【図 4】本発明の第 4 の実施の形態による半導体装置の製造方法を工程別に示した素子の縦断面図。

【図 5】本発明の第 5 の実施の形態による半導体装置の製造方法を工程別に示した素子の縦断面図。

【図 6】本発明の第 6 の実施の形態による半導体装置の製造方法を工程別に示した素子の縦断面図。

【図 7】本発明の第 7 の実施の形態による半導体装置の製造方法を工程別に示した素子の縦断面図。

【図 8】本発明の第 8 の実施の形態による半導体装置の製造方法を工程別に示した素子の縦断面図。

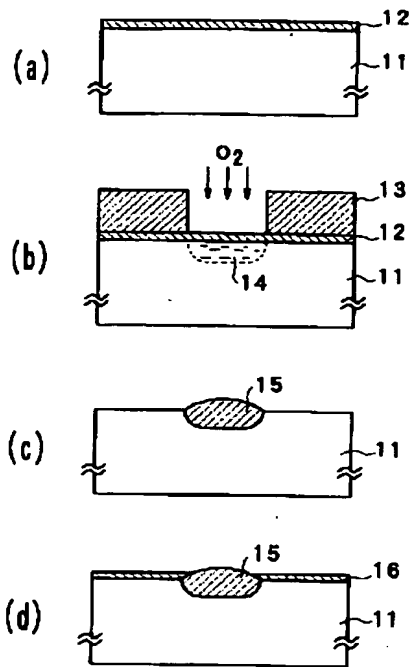
【図 9】従来の半導体装置の製造方法を工程別に示した素子の縦断面図。

【図 10】従来の他の半導体装置の製造方法を工程別に示した素子の縦断面図。

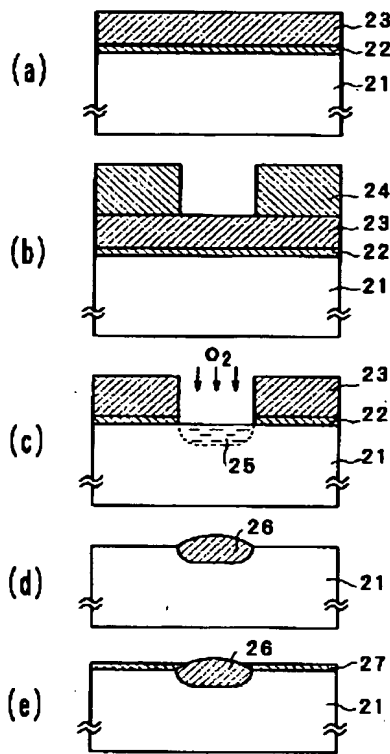
【符号の説明】

11、21、31、41、51、61、71、81 半導体基板
12、22、32、42、52、62、72、82 シリコン酸化膜（熱酸化膜）
13、24、33、44、53、64、73、84 レジスト膜
14、25、34、45、54、74、85 高濃度酸素イオン注入層
15、26、35、46、55、65、75 シリコン酸化膜（フィールド酸化膜）
16、27、37、47、56、67、76、76、86 シリコン酸化膜（ゲート酸化膜）
23、43、63、83 シリコン窒化膜
57、68、77、87 溝

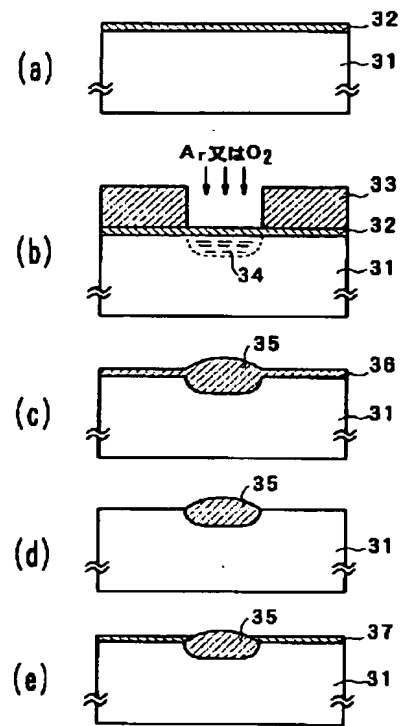
【図 1】



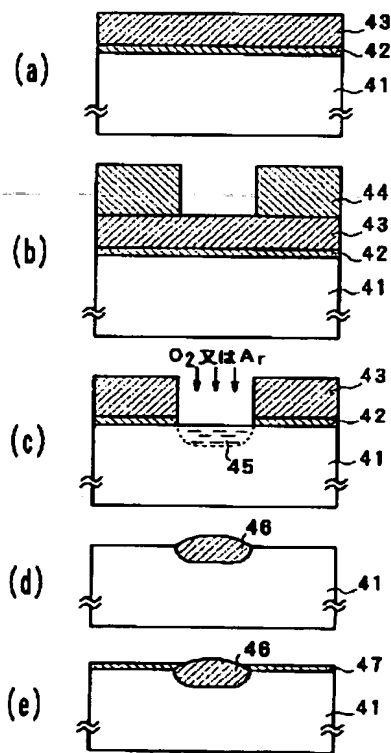
【図 2】



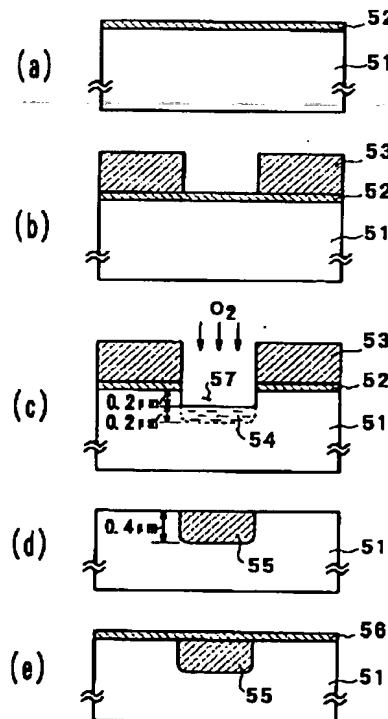
【図 3】



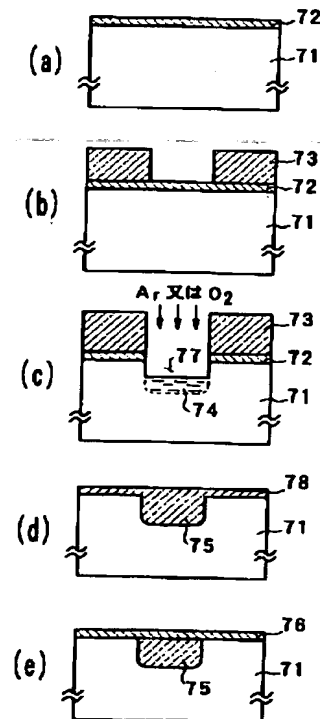
【図 4】



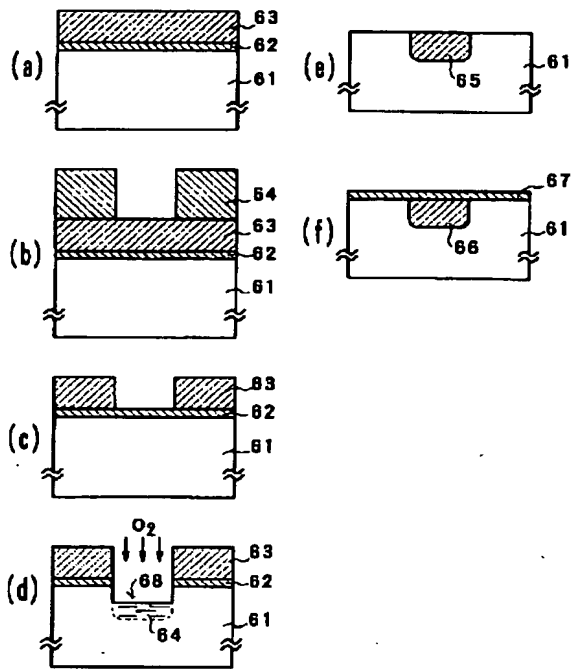
【図 5】



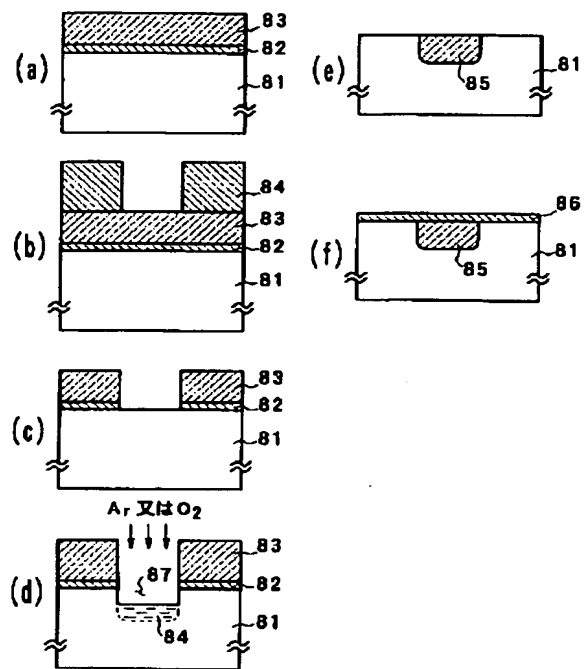
【図 7】



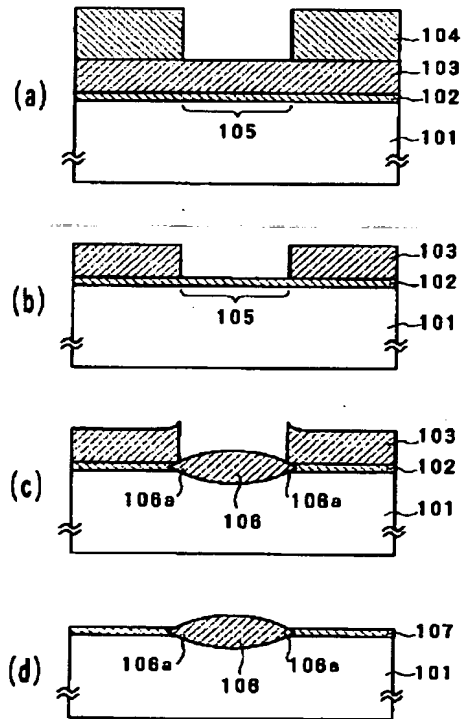
【図 6】



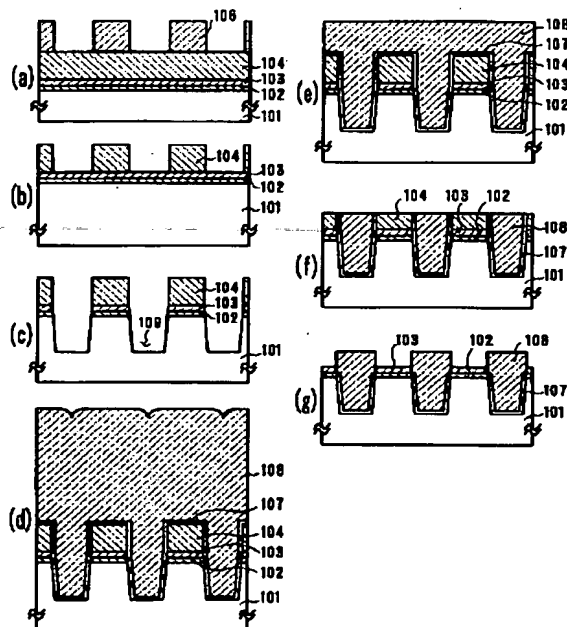
【図 8】



【図 9】



【図 10】



フロントページの続き

(72) 発明者 成 毛 清 実

神奈川県川崎市幸区堀川町580番1号 株
式会社東芝半導体システム技術センター内